

Ottimizzazione del tempo morto

Un piccolo recupero sul tempo morto in caso di eventi random vi ho dato una formula sbagliata:



Se acquisisco N eventi/s l'acquisizione sarà stata bloccata per un tempo $N \cdot T$ con T tempo morto per evento

Quanti eventi sono arrivati durante questo tempo?

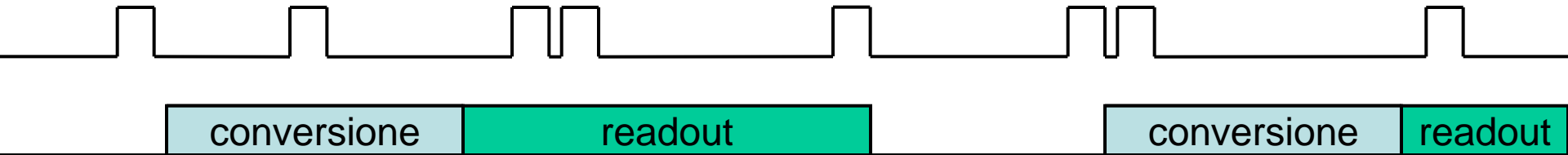
Se la frequenza di arrivo è M mediamente arriva un evento ogni $1/M$ s

Mediamente ho perduto allora $N \cdot T / (1/M)$ eventi (tempo morto totale)/frequenza di arrivo degli eventi

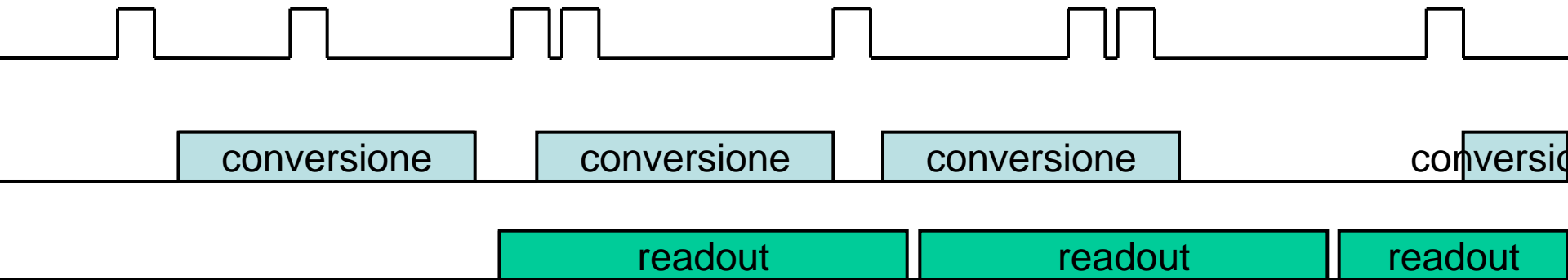
$M = N + NMT \rightarrow N = M(1 - NT) \rightarrow M = N / (1 - NT)$ per sapere il rate vero da quello acquisito

Oppure per sapere quanto rate avremo rispetto al rate in ingresso:
 $N = M / (1 + MT) \rightarrow N/M = 1 / (1 + M/M_{\max})$ avevo sbagliato il segno

Temporizzazione readout seriale/parallelo

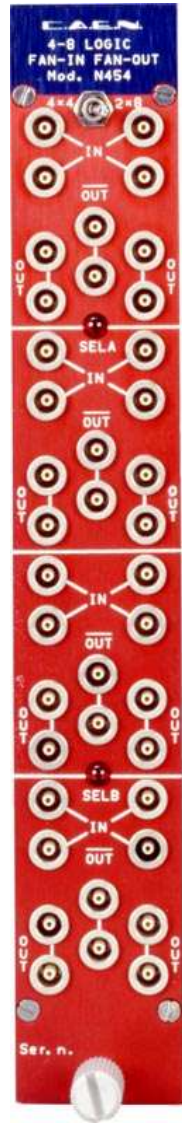


Conversione e readout seguono l'andamento random dei segnali



Conversione random - Readout derandomizzato

Che modulistica usiamo per il trigger?



Il modulo principe di un sistema di trigger è il logic fan-in fan-out con il quale si possono effettuare molte operazioni

Con la modulistica di varie marche (LECROY-Ortec-Phillips-Caen...) possiamo fare:

l'or di sino a 16 segnali

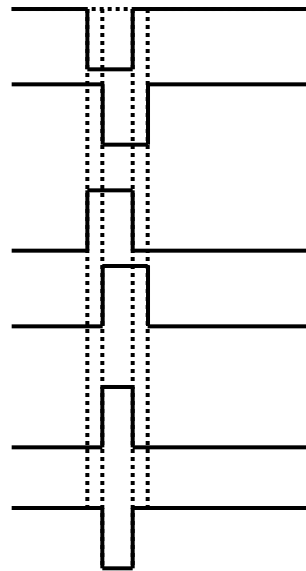
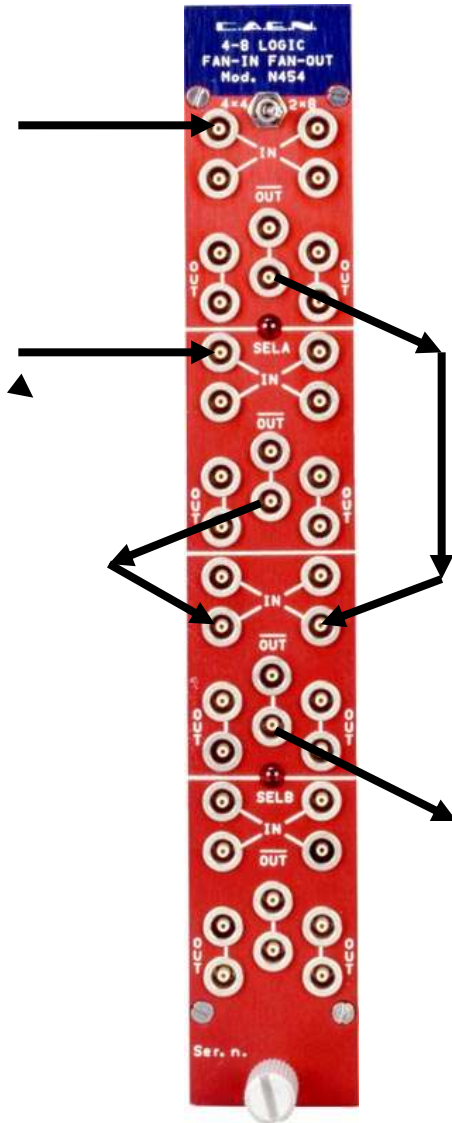
avere sino a 16 copie di un segnale

Avere sino a 8 copie negate di un segnale

Fare l'and o altre funzioni logiche di più segnali

Electronica per il trigger

Come facciamo l'and di due segnali con un fan-in-fan-out?



Prendiamo due segnali

Prendiamo i negati

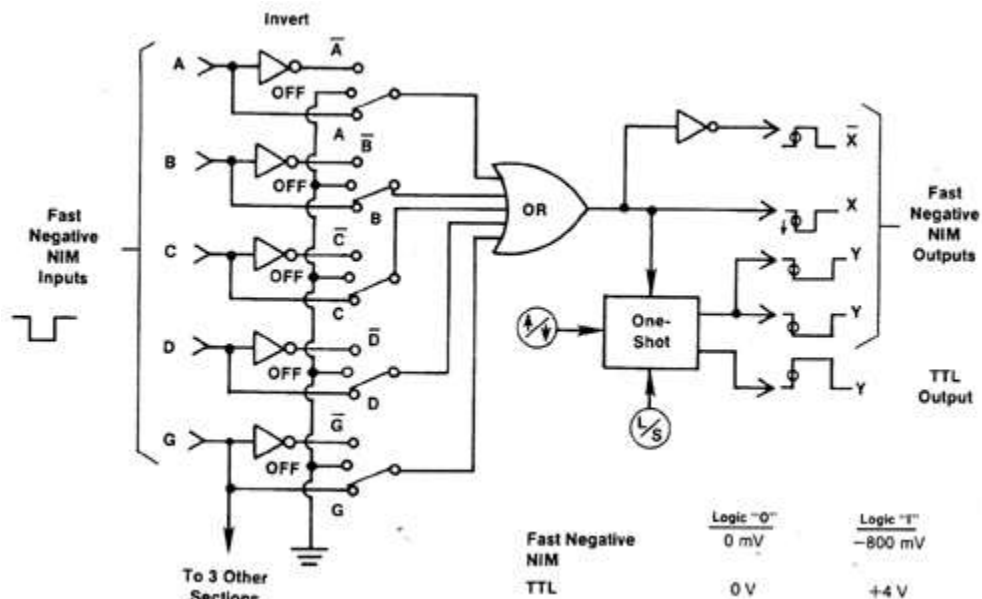
Facciamone l'or

Prendiamo il negato dell'or

Abbiamo costruito l'and

Electronica per il trigger

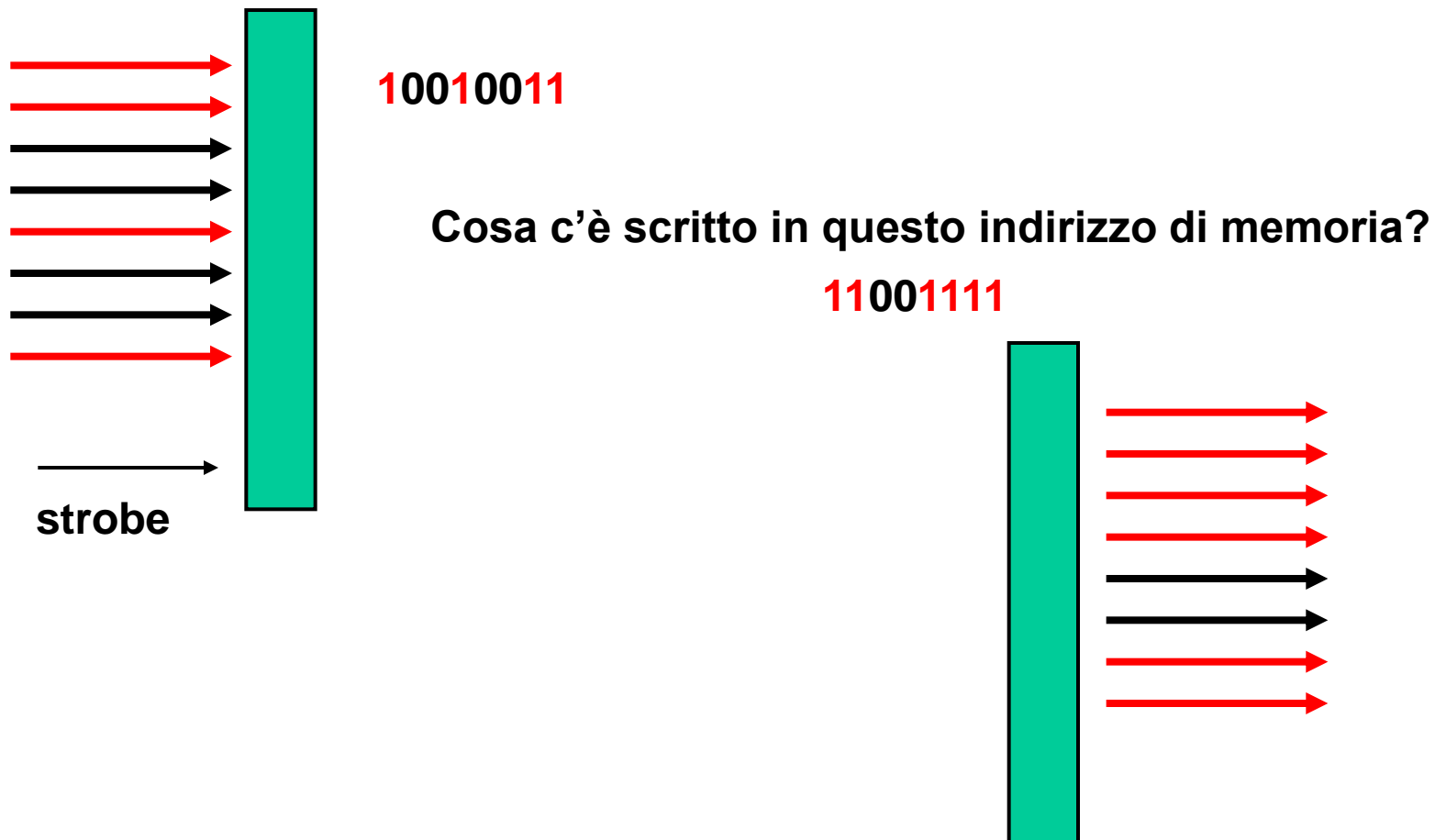
Ovviamente esistono dei moduli di coincidenza anche multipla di varie marche quindi non dovete fare tutto questo sistema complicato, ma dovete sapere che I moduli di coincidenza multipla funzionano così



Per prendere decisioni più complicate?

Una volta si usavano le Programmable logic units

Sono essenzialmente delle memorie ad accesso rapido



Per prendere decisioni più complicate?

Oggi non trovate più PLU nei cataloghi di elettronica sono sostituite dalle FPGA (Field Programmable Gate Array)

Le FPGA sono un insieme di blocchi logici circondati da varie unità di input-output.

L'utilizzatore può programmare sia le funzioni dei blocchi logici che i collegamenti tra inputs – blocchi logici ed outputs

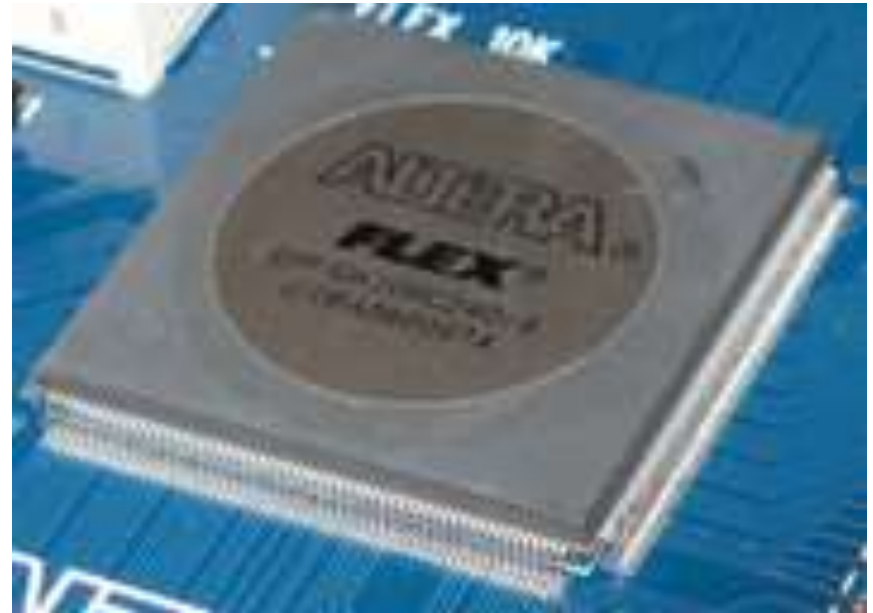
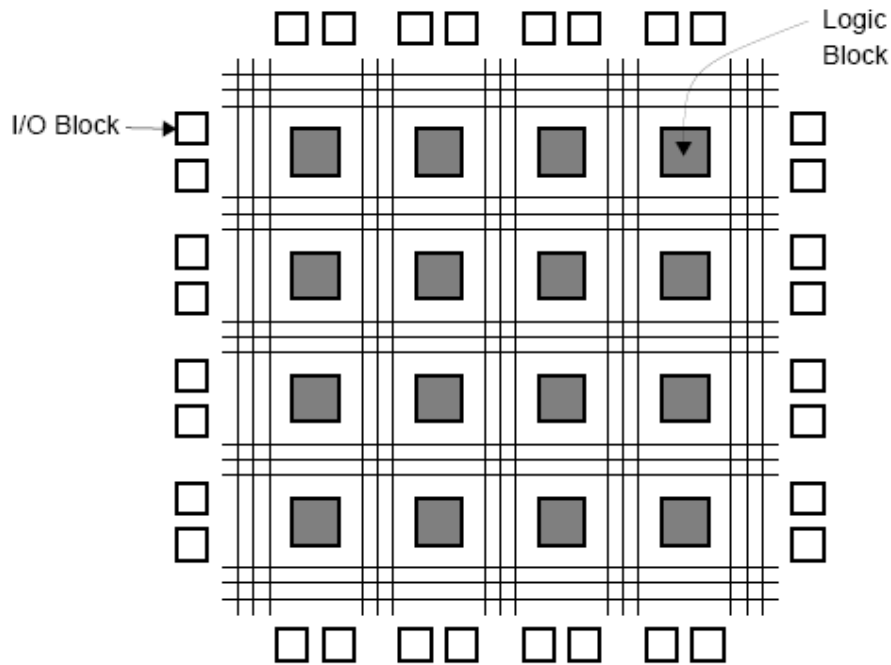
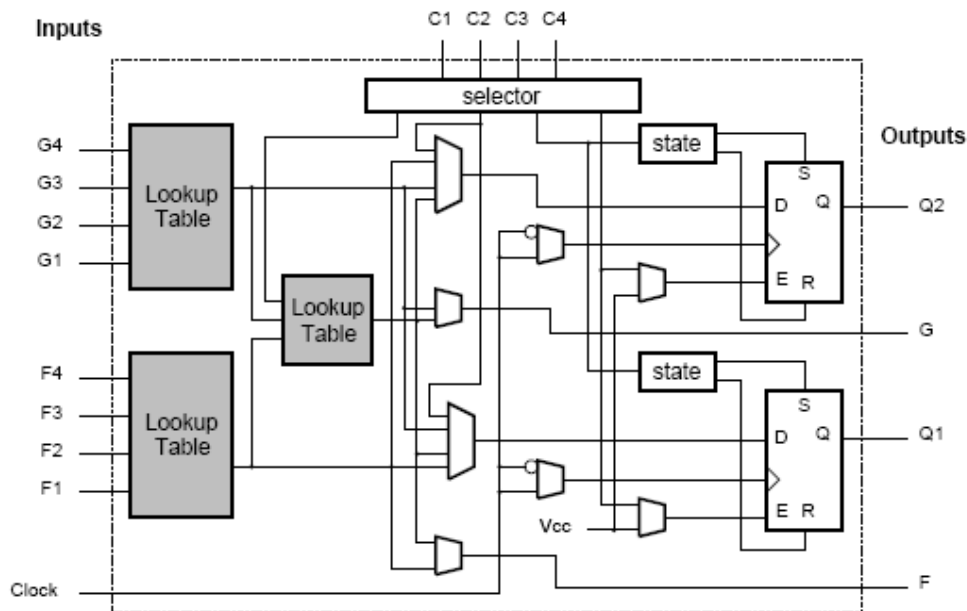


Figure 2 - Structure of an FPGA.

Per prendere decisioni più complicate?

Ci sono varie possibilità di implementazione dei blocchi logici nelle FPGA

Lo xilinx logic block implementa delle lookup table, cioè praticamente una PLU in ogni blocco logico. Questo permette di costruire funzioni logiche molto complesse tra gli input e gli output



Notiamo come uno degli input sia una linea di clock che permette di temporizzare le uscite del logic block

Figure 18 - Xilinx XC4000 Configurable Logic Block (CLB).

Per prendere decisioni più complicate?

Delle memorie sram attivano o disattivano switch che permettono di mettere in comunicazione tra loro alcuni blocchi logici, input e output

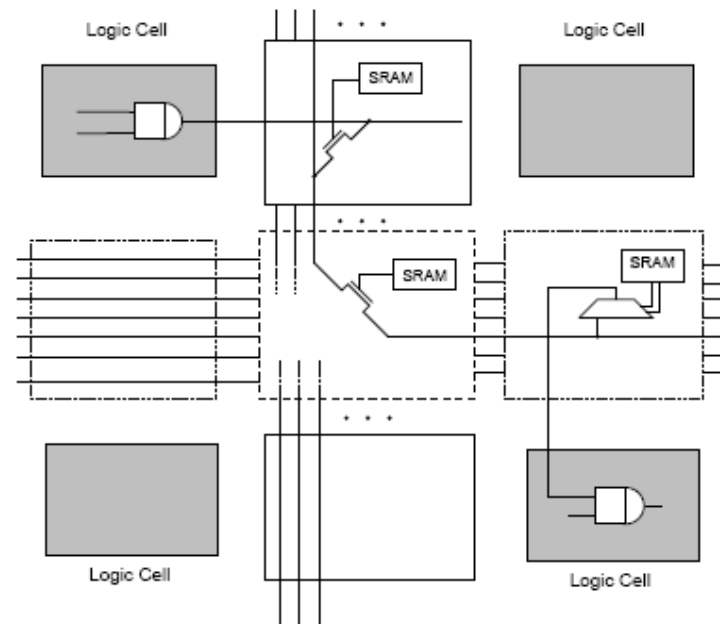
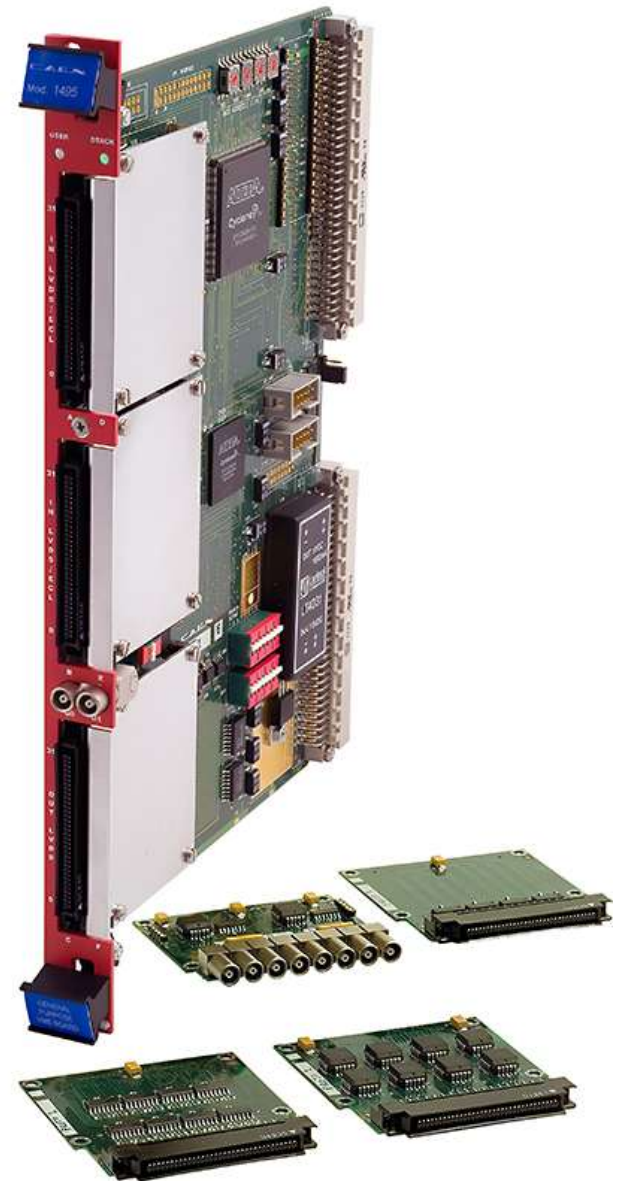


Figure 5 - SRAM-controlled Programmable Switches.

Electronica per il trigger

VME - V1495

User customisable FPGA Unit (with preloaded demomodules)
LVDS/ECL/PECL inputs (differential)
64 inputs, expandable to 162 (with 32 outputs)
32 outputs, expandable to 130 (with 64 inputs)
405 MHz maximum frequency supported by clock tree
I/O delay smaller than 15 ns (in Buffer Mode)
Programmable 3-color LED



VME - V1495

1.2. Block Diagram

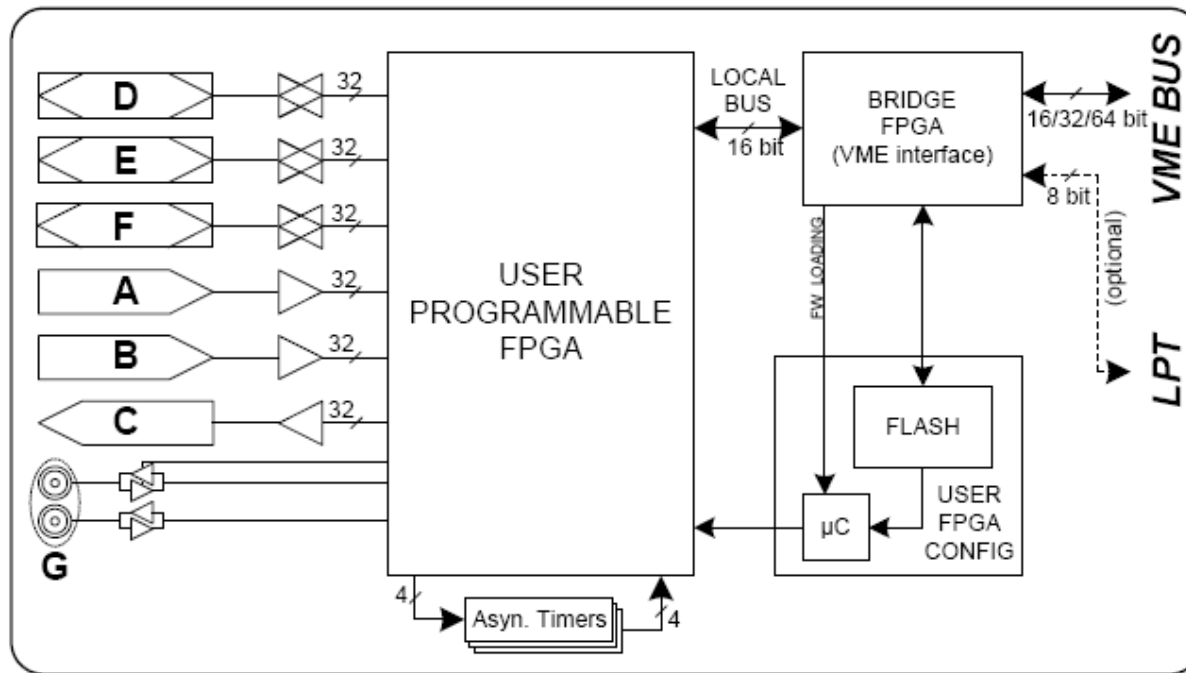
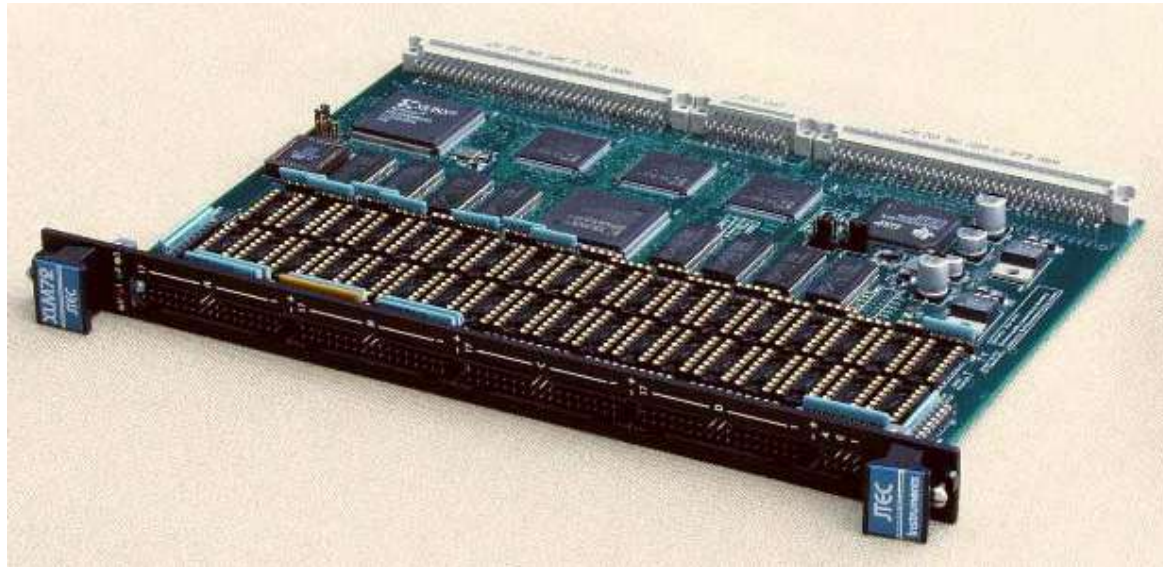


Fig. 1.1: Mod. V1495 Block Diagram

Electronica per il trigger

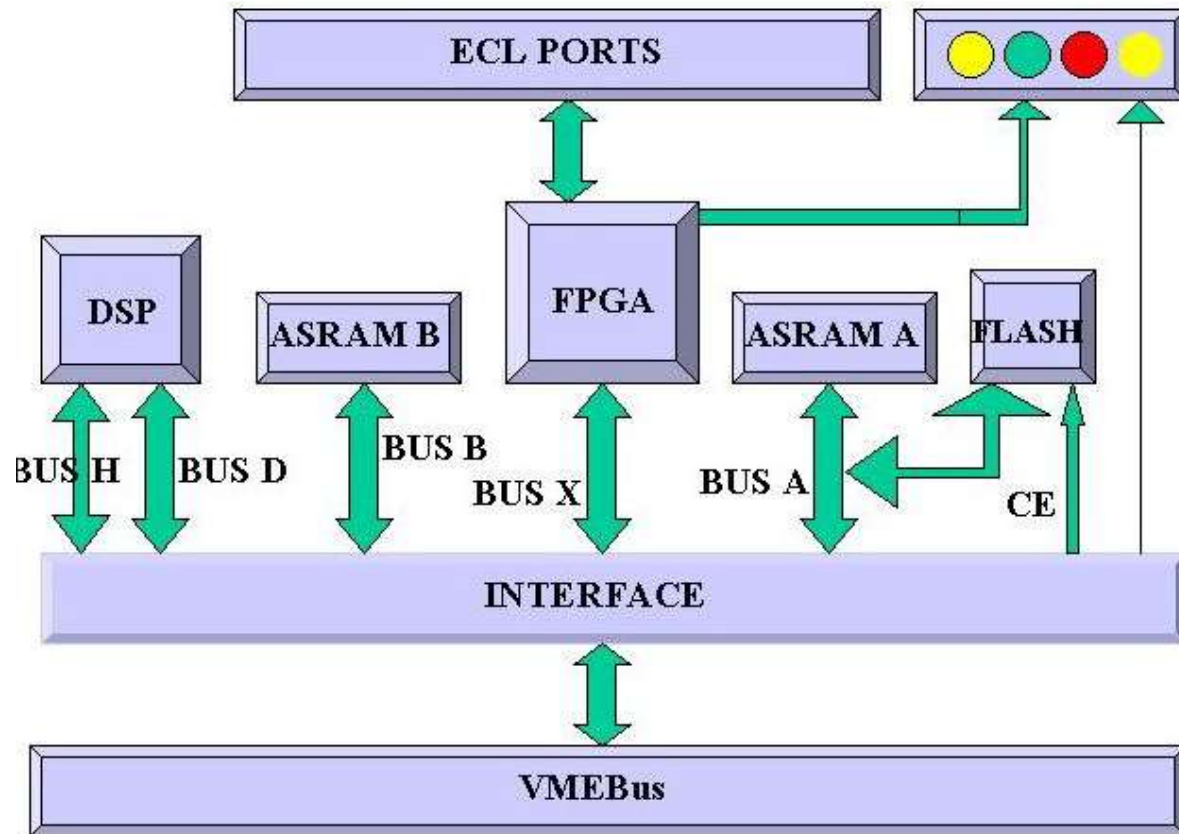
XLM72 Universal Logic Module - JTEC (Jan Toke Roechester)

- 72 programmable front-panel ECL ports, configurable in quartets as either inputs or outputs, organized in three 34-pin connectors and one 8-pin connectors. Four ports can be used as external clock ports, supporting rates of up to 110 MHz.
- One user-programmable Field Programmable Gate Array (FPGA), XCS40XL by Xilinx, clocked at 80 MHz.
- One user-programmable, 900-MFlops/s floating-point Digital Signal Processor (DSP), TMS320C6711 by Texas Instruments.



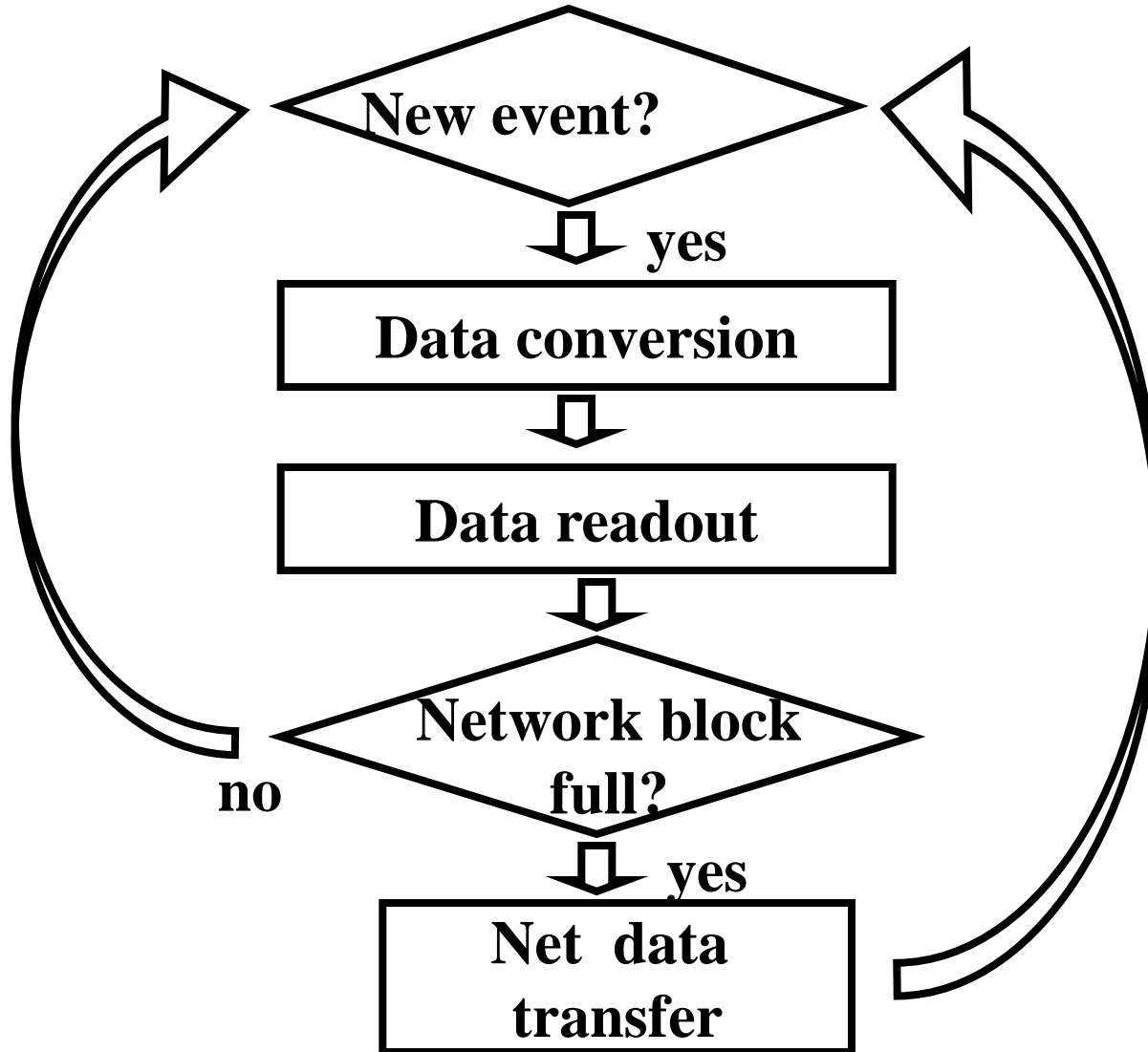
Electronica per il trigger

XLM72 Universal Logic Module - JTEC (Jan Toke Roechester)



Vediamo ora come funziona un trigger reale di un acquisizione

Single event readout



Multi-event readout

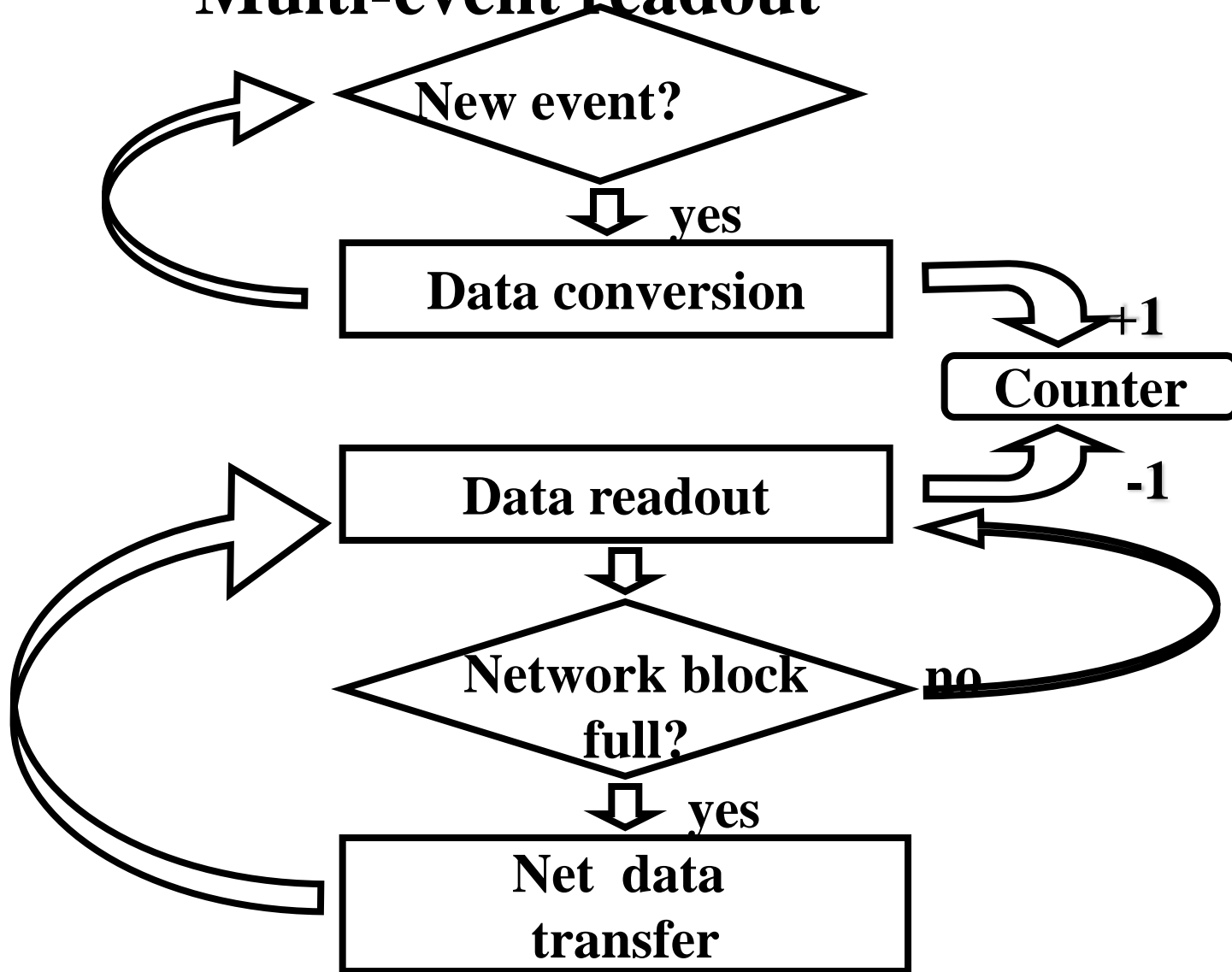
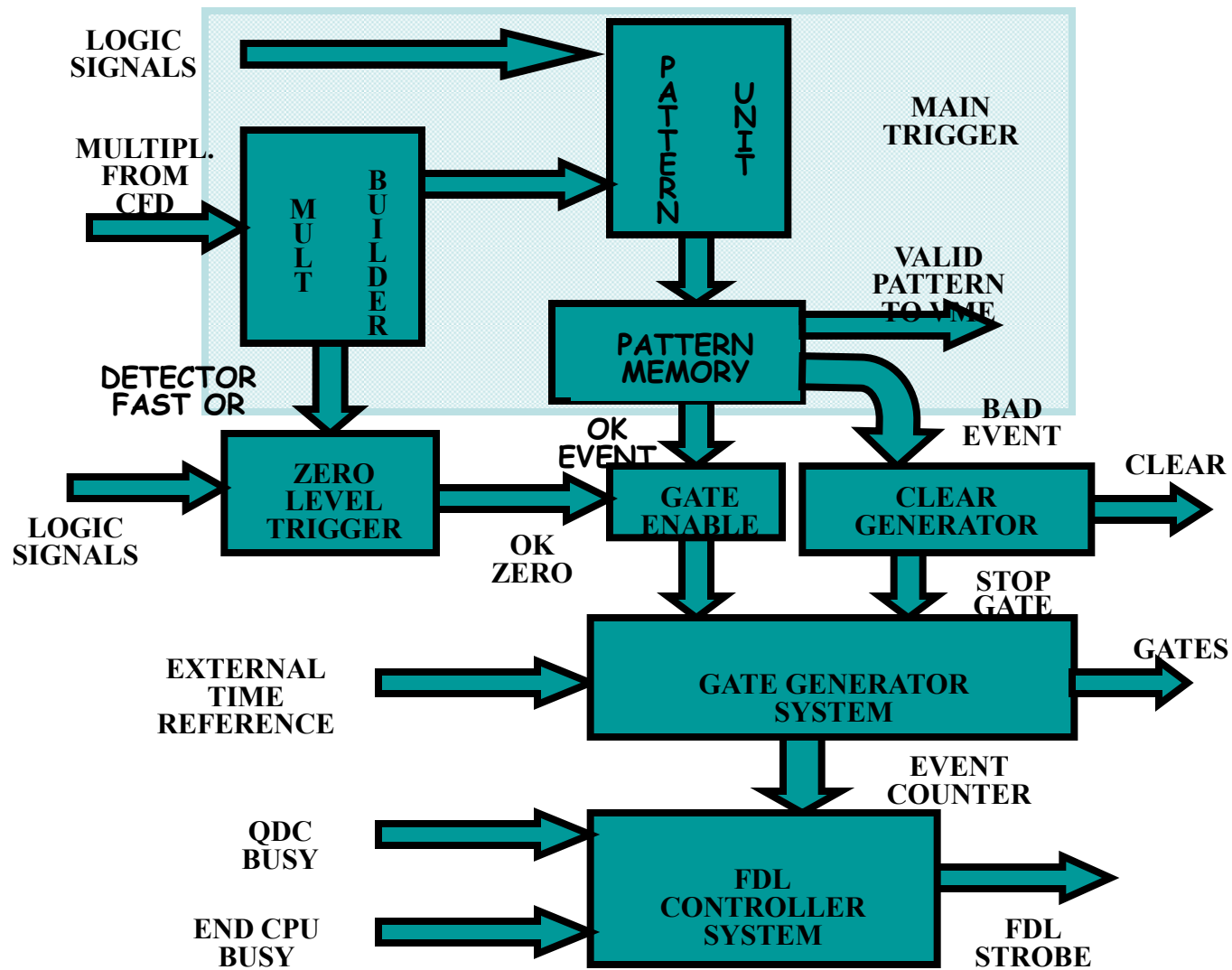
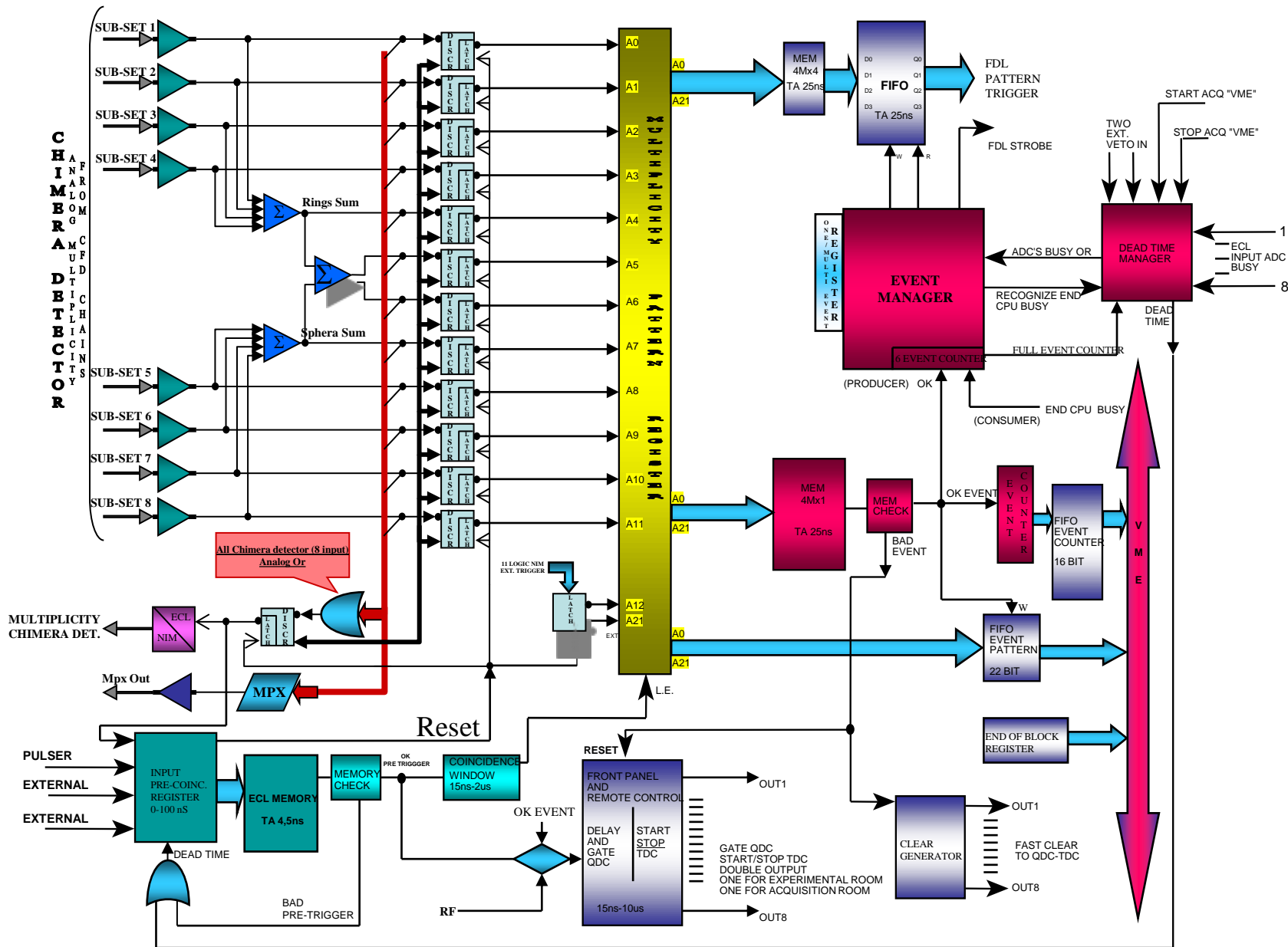


FIG. 1





MUSE BLOCK DIAGRAM